

PACKAGE FOR HIGH SPEED/HIGH FREQUENCY INTEGRATED CIRCUIT

Patent Number: JP2069967
Publication date: 1990-03-08
Inventor(s): TOMIMURO HISASHI; others: 03
Applicant(s): NIPPON TELEGR & TELEPH CORP
Requested Patent: ☐ JP2069967
Application Number: JP19880221632 19880905
Priority Number(s):
IPC Classification: H01L25/04; H01L25/18
EC Classification:
Equivalents: JP2571832B2

Abstract

PURPOSE:To improve the high frequency characteristics of a high speed/high frequency integrated circuit by providing a plurality of cavities at each functional constituent unit in a package.
CONSTITUTION:A frame 12 having a plurality of openings for dividing and containing a high speed/high frequency integrated circuit composed of a plurality of elements at each functional constituent unit is provided on a metal base 1. Cavities 13-16 are formed to be surrounded by the frame 12. The surfaces of the cavities in the frame 12 are metallized by a metal layer except a high frequency input/output terminal 6, a low frequency input/output terminal 7, a bias voltage supplying terminal 8 and a ground terminal 9. Thus, the size of the cavities can be so designed as to bring the resonance frequency of each cavity to sufficiently higher frequency than the operating frequency of high speed/high frequency integrated circuit for placing it, thereby easily obtaining a package for the integrated circuit having higher functions.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-69967

⑬ Int.Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月8日

H 01 L 25/04
25/18

7638-5F H 01 L 25/04

Z

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 高速・高周波集積回路用パッケージ

⑯ 特 願 昭63-221632

⑰ 出 願 昭63(1988)9月5日

⑱ 発 明 者 富 室 久 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 石 塚 文 則 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 発 明 者 佐 藤 信 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉑ 発 明 者 村 口 正 弘 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉒ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉓ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

高速・高周波集積回路用パッケージ

2. 特許請求の範囲

(1) モノリシック高速・高周波集積回路およびパイパスコンデンサ等の複数の素子を構成して成る高速・高周波集積回路において機能構成単位毎に分割して收容可能な複数の開口部を有する枠体が基体上に接合され、機能構成単位毎に複数のキャピティが形成されていることを特徴とし、かつ枠体は絶縁性材料よりなり、端子形成部分を除くキャピティ表面を全て金属層によりメタライズしていることを特徴とする高速・高周波集積回路用パッケージ。

(2) 高周波入出力端子、低周波入出力端子、バイパス電圧供給用端子および接地用端子が該枠体あるいは該基体の一方あるいは両方に形成され、かつ、該枠体内あるいは基体内で相互に接続される各高周波入出力端子間、各低周波入出力端子間、各バイパス電圧供給用端子間ならびに各接

地用端子間がモノリシック高速・高周波集積回路の入出力インピーダンスと整合を取った端子構造であることを特徴とする請求項1記載の高速・高周波集積回路用パッケージ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明はモノリシック高速・高周波集積回路およびパイパスコンデンサ等の複数の素子を搭載し高機能な高速・高周波集積回路を実現するために用いる高速・高周波集積回路用パッケージに関するものである。

[従来の技術]

従来この種の高速・高周波集積回路用パッケージは第5図に示すように金属製基体1および絶縁性材料よりなる枠体2とにより構成されていた。このような高速・高周波集積回路用パッケージにおいては、第6図、第7図に示すようにモノリシック高速・高周波集積回路3およびパイパスコンデンサ4等の搭載部品は枠体内側のキャピティ5内の該金属製基体表面に取りつけられ、また、こ

れら搭載部品の表面に形成された電極および該金属製基体 1 あるいは該枠体 2 に形成された高周波入出力端子 6、低周波入出力端子 7、バイアス電圧供給用端子 8 および接地用端子 9 間を Auワイヤ 10 により相互に接続する実装形態を採用している。また、この種の高速・高周波集積回路用パッケージにおいては、搭載部品の信頼性向上を目的として、高速・高周波集積回路用パッケージの接合部分、すなわち該金属製基体 1 と該枠体 2 間、および該高周波入出力端子 6、該低周波入出力端子 7、該バイアス電圧供給用端子 8、該接地用端子 9 を形成した個所等は気密性を持たせて接合されている。

さらに、高周波特性を確保するため、金属製基体 1 内外あるいは枠体 2 内外で相互に接続される各高周波入出力端子 6 間、各低周波入出力端子 7 間、各バイアス電圧供給用端子 8 間ならびに各接地用端子 9 間を従来より行われている方法でインピーダンス的に整合を取り、また該高周波入出力端子 6、該低周波入出力端子 7、該バイアス電圧

- 3 -

チップ高速・高周波集積回路を実現していたが、寸法が大きくなるという問題があった。

本発明は上記の事情に鑑みてなされたもので、モノリシック高速・高周波集積回路およびバイパスコンデンサ等の複数の素子を構成してなる高速・高周波集積回路において、特定の機能構成毎に分割して収容可能な複数の開口部を有する枠体を基体上に接合し、複数のキャビティを形成し、かつ各キャビティ内部での共振周波数をモノリシック高速・高周波集積回路の動作周波数に対して十分高周波側に持っていくようにキャビティの寸法を設計することによって、高速・高周波集積回路の高周波特性の改善を図った高速・高周波集積回路用パッケージを提供することを目的とする。

〔課題を解決するための手段と作用〕

本発明は、モノリシック高速・高周波集積回路およびバイパスコンデンサ等の複数の素子よりなる高速・高周波集積回路において、特定の機能構成毎に分割し収容可能な複数の開口部を有する枠体を基体上に形成し、高速・高周波集積回路用パ

ッケージ用端子 8 ならびに該接地用端子 9 は前記モノリシック高速・高周波集積回路 3 の入出力インピーダンスと従来より行われている方法で整合を取った端子構造とし、第 8 図および第 9 図に示すように、少なくとも枠体 2 の内部のキャビティ表面は該高周波入出力端子 6、該低周波入出力端子 7、該バイアス電圧供給用端子 8 ならびに該接地用端子 9 の個所を除いて金属層 11 によってメタライズされている。

〔発明が解決しようとする課題〕

しかし、この種の高速・高周波集積回路用パッケージに収容する高速・高周波集積回路およびバイパスコンデンサ等の寸法が大きくなるか、あるいは数が多くなると、高速・高周波集積回路用パッケージのキャビティ寸法が大きくなり、高速高周波集積回路用パッケージ内での共振周波数を高速・高周波集積回路の動作周波数に対して十分高周波側に持っていくことが困難であるという欠点があった。この対策として、複数の高速・高周波集積回路用パッケージを並直列に接続してマルチ

- 4 -

パッケージの各キャビティでの共振周波数をモノリシック高速・高周波集積回路の動作周波数に対して十分高周波側に持っていくように各キャビティ寸法を設計することによって、高速・高周波集積回路の高周波特性の改善を図ったことを特徴とする高速・高周波集積回路用パッケージである。すなわち、収容するモノリシック高速・高周波集積回路およびバイパスコンデンサ等の素子の寸法が大きい、あるいは数が多い場合に、単一の開口部を有する枠体により構成された従来の高速・高周波集積回路用パッケージにおいて、高速・高周波集積回路用パッケージ内容に形成されたキャビティでの共振周波数をモノリシック高速・高周波集積回路の動作周波数に対して十分高周波に持っていくことができなかった点を、複数の開口部を有する枠体によってパッケージを複数のキャビティに分割し解決したことにある。

〔実施例〕

(第 1 の実施例)

第 1 図は本発明の第 1 の実施例を示す図であっ

て、1は金属製基体、6は高周波入出力端子、7は低周波入出力端子、8はバイアス電圧供給用端子、9は接地用端子、12は該金属製基体上にモノリシック高速・高周波集積回路(図示せず)およびバイパスコンデンサ(図示せず)等の複数の素子を構成してなる高速・高周波集積回路を機能構成単位毎に分割して收容するため複数の開口部を有する枠体、13は該複数の開口部を有する枠体12により囲われた第1のキャビティ、14は該複数の開口部を有する枠体12により囲われた第2のキャビティ、15は該複数の開口部を有する枠体12により囲われた第3のキャビティ、16は該複数の開口部を有する枠体12により囲われた第4のキャビティである。さて、本発明では高周波特性を確保するため、金属製基体1内外あるいは複数の開口部を有する枠体12内外で相互に接続される各高周波入出力端子6間、各低周波入出力端子7間、各バイアス電圧供給用端子8間ならびに各接地用端子9間を従来より行われている方法でインピーダンス的に整合を取り、また該高

-7-

およびこれらを相互に接続する配線19を形成する。その後第1、第2のセラミックグリーンシート17、18を積層し、同時焼成することによって複数の開口部を有する枠体12が完成する。なお、ここでは絶縁材料同時焼成のセラミック材料を例に説明したが、有機系材料を使用して枠体を形成する方法も実現可能である。

次に、本発明で複数のキャビティを設けた理由を述べる。例えば、第3図に示す幅a、高さb、長さcの金属板に囲われた空間に矢印の方向から電磁波が伝播した場合、この空間で共振するTE_{mnp}モードの電磁波の波長λ₀は、文献(たとえば、中島著、「マイクロ波工学」、p144、森北出版、1976)から

$$\lambda_0 = 1 / \{ (m/2a)^2 + (n/2b)^2 + (p/2c)^2 \}^{1/2}$$

m、n、p：整数

で表される。これより、a、b>cの時の基本モードTE₁₀₁の共振周波数f₀は

$$f_0 = c/2 \times \{ (1/a)^2 + (1/c)^2 \}^{1/2}$$

ただし、c：光速

-9-

周波入出力端子6、該低周波入出力端子7、該バイアス電圧供給用端子8ならびに該接地用端子9はモノリシック高速・高周波集積回路の入出力インピーダンスと従来より行われている方法で整合を取った端子構造とし、第8図および第9図と同様に、少なくとも複数の開口部を有する枠体12の内部のキャビティ表面は該高周波入出力端子6、該低周波入出力端子7、該バイアス電圧供給用端子8ならびに該接地用端子9の個所を除いて金属層によってメタライズする。

次に、本発明における枠体の製造法の1例を説明する。複数の開口部を有する枠体12は第2図に示すように、たとえば複数のセラミック製グリーンシートを所望の形状にパンチングして、例えば第1のセラミックグリーンシート17および第2のセラミックグリーンシート18をパンチングする。つぎに、例えば第1のセラミックグリーンシート17の上に高周波入出力端子6用の導電体、低周波入出力端子7用の導電体、バイアス電圧供給用端子8用の導電体、接地用端子9用の導電体

-8-

と求められる。この式より、キャビティの幅が大きい程キャビティで共振する周波数が小さくなることが分かる。すなわち、第1図に示す複数のキャビティ13、14、15および16を単一のキャビティ、即ち従来の実施例第5図のキャビティ5とすると、高い動作周波数のモノリシック高速・高周波集積回路を1つの高速・高周波集積回路用パッケージに実装できない。本発明の高速・高周波集積回路用パッケージはこの欠点を除くため1つの高速・高周波集積回路用パッケージ内に複数のキャビティを形成し、高機能な高速・高周波集積回路を小形で実現したことを特徴としている(第2の実施例)

第4図は本発明の第2の実施例を説明する図であって、1は金属製基体、6は高周波入出力端子、7は低周波入出力端子、8はバイアス電圧供給用端子、9は接地用端子、12は該金属製基体上にモノリシック高速・高周波集積回路(図示せず)およびバイパスコンデンサ(図示せず)等の複数の素子を構成してなる高速・高周波集積回路を機

-10-

能構成単位毎に分割して収容するため複数の開口部を有する枠体、13は該複数の開口部を有する枠体12により囲われた第1のキャビティ、14は該複数の開口部を有する枠体12により囲われた第2のキャビティ、15は該複数の開口部を有する枠体12により囲われた第3のキャビティ、16は該複数の開口部を有する枠体12により囲われた第4のキャビティ、20は該低周波入出力端子7、該バイパス電圧供給用端子8、該接地用端子9として機能し該金属製基体1に形成されるガラス端子である。

本発明での枠体の製造法、キャビティ内部をメタライズする考え方ならびに複数のキャビティを設けた理由は第1の実施例とほぼ同じである。

外部回路に第1の実施例の高速・高周波集積回路を接続するためには付加リードを平面方向に取り出す必要があり、実装効率が低下するが、第2の実施例では裏面にリードを取り出す方式としているため、裏面に外部回路を形成でき実装効率を更に向上できる。

-11-

第7図はそれぞれ従来の実施例において高速・高周波集積回路およびバイパスコンデンサ等を実装し、部品間を接続した例を説明するための平面図、断面図、第8図、第9図は従来の実施例においてそれぞれ高周波入出力端子部、バイパス電圧供給用端子部を除いて枠体表面をメタライズした例を説明する図である。

1…金属製基体、2…絶縁材料等よりなる枠体、3…モノリシック高速・高周波集積回路、4…バイパスコンデンサ、5…キャビティ、6…高周波入出力端子、7…低周波入出力端子、8…バイパス電圧供給用端子、9…接地用端子、10…Auワイヤ、11…枠体内部のキャビティ表面に形成された金属層、12…複数の開口部を有する枠体、13…複数の開口部を有する枠体12により囲われた第1のキャビティ、14…複数の開口部を有する枠体12により囲われた第2のキャビティ、15…複数の開口部を有する枠体12により囲われた第3のキャビティ、16…複数の開口部を有する枠体12により囲われた第4のキャビティ、

-13-

[発明の効果]

以上説明したように、本発明の高速・高周波集積回路用パッケージにおいては、パッケージ内部に複数のキャビティを設けているため、各キャビティでの共振周波数を搭載する高速・高周波集積回路の動作周波数よりも十分高周波側に持って行くようキャビティ寸法を設計でき、より高機能な高速・高周波集積回路用パッケージが容易に実現できる利点がある。また、第2の実施例のように低周波入出力端子、バイパス電圧供給用端子、接地用端子の一部を金属製基体にガラス端子を用いて形成することによって、より高密度な実装が可能となる。

4. 図面の簡単な説明

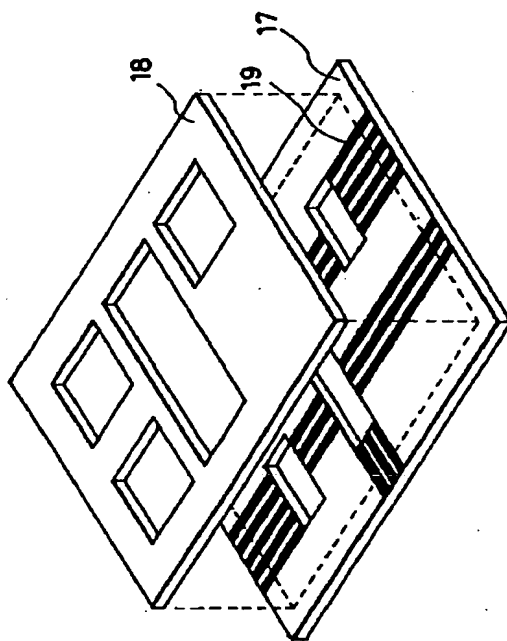
第1図は本発明の第1の実施例の斜視図、第2図は本発明の第1の実施例の複数の開口部を有する枠体の製造法を説明するための斜視図、第3図は本発明で複数のキャビティを設けたことを説明するための図、第4図は本発明の第2の実施例の斜視図、第5図は従来の実施例の斜視図、第6図

-12-

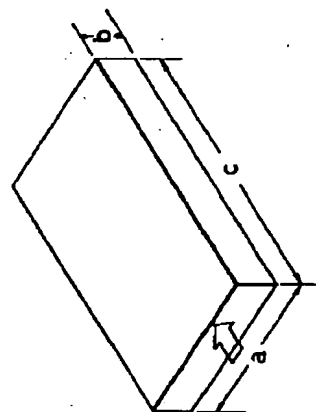
17…複数の開口部を有する枠体12を構成する第1のセラミックグリーンシート、18…複数の開口部を有する枠体12を構成する第2のセラミックグリーンシート、19…第1のセラミックグリーンシートの上に形成された配線、20…金属製基体に形成されたガラス端子。

出願人代理人 弁理士 鈴 江 武 彦

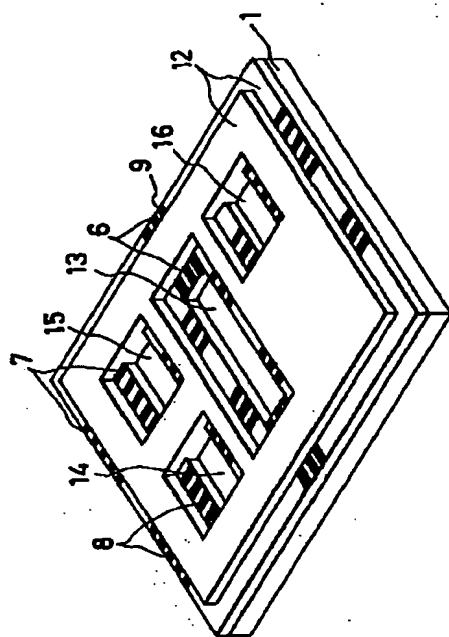
-14-



第 2 図

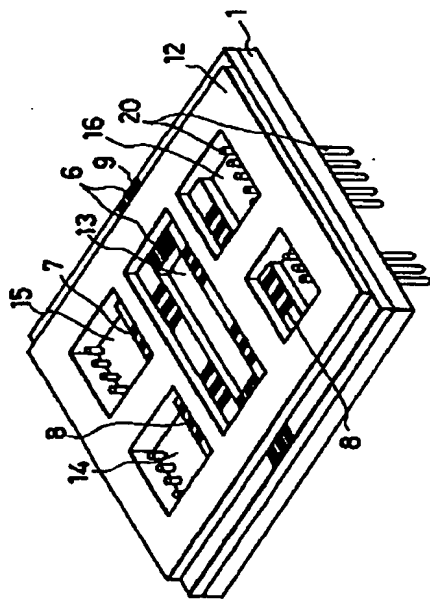


第 3 図

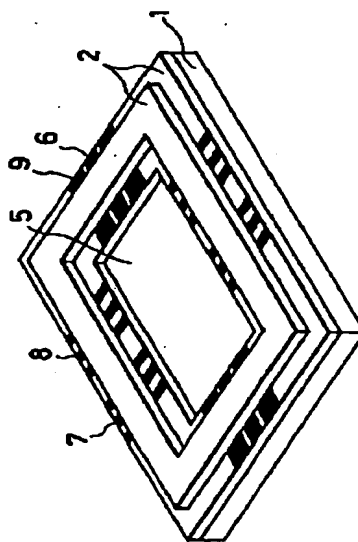


第 1 図

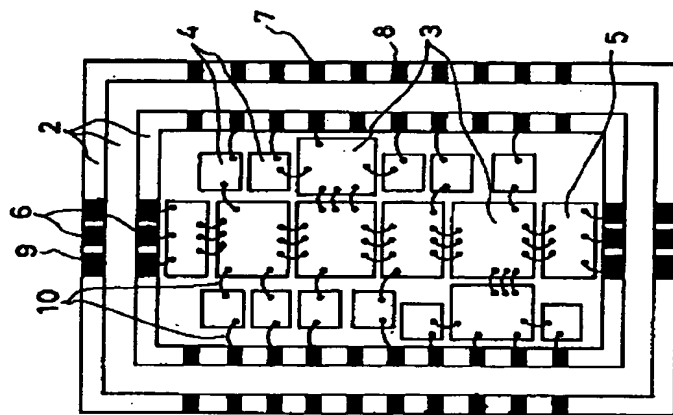
1:金属基体, 6:高周波入出力端子, 7:低周波入出力端子,
8:ハイマス電圧供給用端子, 9:接地用端子, 12:半体, 13:第1のキャピタ,
14:第2のキャピタ, 15:第3のキャピタ, 16:第4のキャピタ。



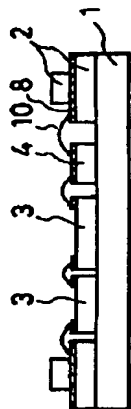
第 4 図



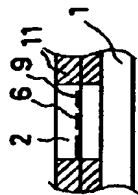
第 5 図



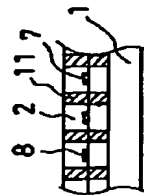
第 6 図



第 7 図



第 8 図



第 9 図